

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-48357

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 4 C 10/00			G 0 4 C 10/00	D
G 0 4 G 1/00	3 1 0		G 0 4 G 1/00	3 1 0 Q 3 1 0 X

審査請求 有 発明の数 1 O L (全 12 頁)

(21) 出願番号 特願平9-100586
(62) 分割の表示 特願平6-3261の分割
(22) 出願日 昭和59年(1984)11月21日

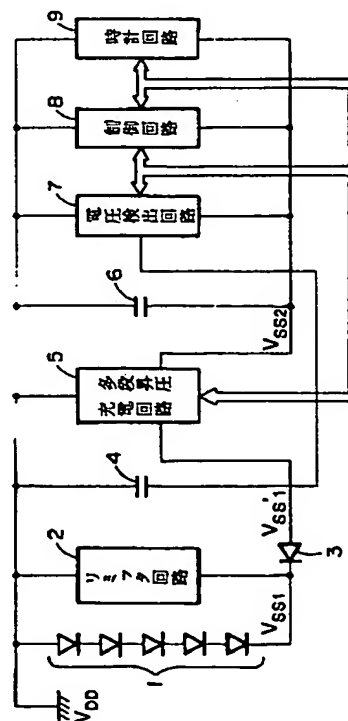
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 吉野 雅士
長野県諏訪市大和3丁目3番5号 株式会
社諏訪精工舎内
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 電子時計

(57) 【要約】

【課題】 フラットでない放電特性を持つ電源を用いてもその電源の持つ電気エネルギーを十分に活用する。

【解決手段】 少なくとも電源Aと電源Aより小なる電気エネルギーを有する電源Bとよりなる複数の電源を有し、少なくとも電源Bは充電可能でありかつ電源Aより電源Bへ電気エネルギーを供給する手段を有し、かつ前記電源Aより電源Bへ電気エネルギーを供給する手段には電源Aと電源Bとの電圧レベルを変える手段を含む電子時計。



(2)

【特許請求の範囲】

【請求項1】 少なくとも電源Aと電源Aより小なる電気エネルギーを有する電源Bとよりなる複数の電源を有し、少なくとも電源Bは充電可能でありかつ電源Aより電源Bへ電気エネルギーを供給する手段を有し、かつ前記電源Aより電源Bへ電気エネルギーを供給する手段には電源Aと電源Bとの電圧レベルを変える手段を含むことを特徴とする電子時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は水晶時計等電気エネルギーをエネルギー源とする電子時計における電源部の構成に関する。特に電源の放電特性がフラットでなく放電が進むにつれて電圧の変化するような電源を有する電子時計の電源部の改良に関する。

【0002】

【従来の技術】従来の水晶時計等電気エネルギーをエネルギー源とした電子時計はその電源部に銀電池の様なフラットな放電特性を持つ電源を用いていた。これにより電源の持つエネルギーを十分活用していた。

【0003】しかし銀電池は高価でありしかも電池そのものに寿命がある等欠点も大きかった。

【0004】これらの解決策として近年価格的にはアルカリマンガン電池等が用いられる様になったし、電池そのものの寿命に関してはソーラバッテリーを電源とし2次電池として高容量コンデンサーを用いた時計も提案されている。

【0005】

【発明が解決しようとする課題】上記技術では、アルカリマンガン電池は放電特性がフラットでなく時計の作動停止後にもエネルギーを多く有しており、電池の特性を十分活かしているとは言えないのが現状である。又、2次電池として高容量コンデンサーを用いたものは、当然の事ながらコンデンサーの放電特性により、その時計の止まりまでの持続時間は決まってしまう実用化の大きな問題となっていた。

【0006】本発明の目的は、以上の様な従来の欠点を解決し、フラットでない放電特性を持つ電源を用いてもその電源の持つ電気エネルギーを十分に活用することを目的とする。

【0007】

【課題を解決するための手段】少なくとも電源Aと電源Aより小なる電気エネルギーを有する電源Bとよりなる複数の電源を有し、少なくとも電源Bは充電可能でありかつ電源Aより電源Bへ電気エネルギーを供給する手段を有し、かつ前記電源Aより電源Bへ電気エネルギーを供給する手段には電源Aと電源Bとの電圧レベルを変える手段を含む電子時計に関するものである。

【0008】

【発明の実施の形態】本発明を一実施の形態により図を

用いて説明する。

【0009】本実施の形態は発電機構としてソーラバッテリーを用いて2次電池として高容量コンデンサーである電気二重層コンデンサーを用いた時計である。

【0010】図1はこの電気二重層コンデンサーの放電特性であり、図2は本発明による一実施の形態のブロック図である。図3は従来のシステムの回路説明図である。従来図3において、ソーラバッテリー1による発電力が電気二重層コンデンサー12に充電され定格電圧以上に充電されるとリミッタースイッチ13が閉じてコンデンサー12への充電をやめる。時計体14はソーラバッテリー11又はコンデンサー12を電源として作動している。又、ダイオード15は、ソーラバッテリー11の発生起電圧がコンデンサー4の充電電圧以下になったときに、電流がソーラバッテリーに流れ込むのを防ぐ逆流防止ダイオードである。コンデンサー12がフル充電された状態でソーラバッテリー11に光が当たらなくなった後のコンデンサー12の放電特性を図1で実線V_{s2}と破線V_{s1}で示している。縦軸がコンデンサー12の電圧、横軸が時間である。この本実施の形態でのコンデンサーの定格電圧は1.8Vである。また、時計体の作動停止電圧は0.9Vである。この時、時計の作動はソーラバッテリーに光が当たらなくなってからt2時間で止まることになる。

【0011】図2は、本発明による一実施の形態のブロック図であり、ソーラバッテリー1に光が照射し発生した電力は、逆流防止ダイオード3を通して電気二重層コンデンサー4へ充電される。このときソーラバッテリー1の発生起電圧(V_{s1})が定格電圧以上になるとリミッタ回路2が働きコンデンサー4への充電をやめる。例えば定格電圧とはコンデンサー4の定格電圧であり、リミッタ回路とは定電圧ダイオードで構成され図中VDD-VSS1間が定格電圧以上になったら通電し充電電流をバイパスする構成、またはVDD-VSS1間にスイッチを有し、リファレンス電圧検出により充電電流をバイパスする構成になっている。コンデンサー4に充電された電力は多段昇圧充電回路5により最適な昇圧が行われてコンデンサー6に充電される。この動作の詳細な説明は後述する。コンデンサー6は、コンデンサー4の電圧VSS1'を検出する電圧検出回路7、その電圧検出出力をもとに昇圧充電回路に最適昇圧充電を行なわせる制御回路8及び時計回路9の電源となっている。

【0012】次に本実施の形態の動作を図1を参照しながら詳細に説明する。ここで図1において破線は、大容量コンデンサー4の電圧VSS'1の絶対値を示し、実線はコンデンサー6の電圧VSS2の絶対値を示す。コンデンサー4がフル充電された後ソーラバッテリー1に光が当たらなくなった時を説明する。コンデンサー4の電圧|VSS'1|が1.2V以上の時は、コンデンサー4とコンデンサー6とは同じ電圧になるように昇圧充

(3)

3

電回路5が動作する。コンデンサ4の電圧 $|VSS'1|$ が1.2V~0.8Vの時は昇圧充電回路5により2倍に昇圧してコンデンサ6へ充電する。図1の $t1 \sim t3$ の間である。したがってこの時のコンデンサ6の電圧 $|VSS2|$ は1.8V~1.2Vとなる。コンデンサ4の電圧 $|VSS'1|$ が0.8V~0.6Vの時は昇圧充電回路5により2倍に昇圧されコンデンサ6に充電される。図1において $t3 \sim t4$ の間である。この時のコンデンサ6の電圧 $|VSS2|$ は1.6V~1.2Vとなる。

【0013】コンデンサ4の電圧 $|VSS'1|$ が0.6V以下の時は、昇圧充電回路5により3倍に昇圧してコンデンサ6に充電する。図1の $t4$ 以降である。

【0014】以上の説明のように、本実施の形態によれば昇圧充電手段により、時計体の実際の電源となるコンデンサ6の電圧 $|VSS2|$ を動作停止電圧0.9V以上に保つことによつて、時計の動作可能時間を図1において $t2$ 時間から $t5$ 時間まで伸ばしている。又、コンデンサ4の電圧でいえば従来0.9Vから1.8Vの間でしか使えなかつたものが、本実施の形態によれば0.3Vから1.8Vまで使え、コンデンサ4に蓄えられたエネルギーを有効につかっている。

【0015】次に本実施の形態中の多段昇圧充電回路6、電圧検出回路7、制御回路8の具体的実施の形態を示す。

【0016】図4は、多段昇圧充電回路6の基本形であり、図5はその動作を具体的に示したものであり、

(イ)は昇圧動作、(ロ)は充電動作である。図4、図5のコンデンサ4、6は図2のそれであり、コンデンサ21、22は昇圧用の補助コンデンサである。また、図4の $Tr1 \sim Tr7$ はFETであり昇圧を行なうためのスイッチの役割を果たしている。図4において昇圧を行わず $vss'1$ と $vss2$ を同電位にするためには $Tr3$ と $Tr4$ をONさせ、他はOFFにすれば良い。

【0017】この状態を示したのが図5(A)であり、図1の $t0 \sim t1$ における動作である。また、 $t1 \sim t3$ において1.5倍昇圧充電を行なうためには、昇圧時*

$$|VREG| = |VM| = \frac{R1}{R1+R2} |VSS'1| = \frac{R1}{R1+R2} \times 1.8$$

【0022】を満足するように設定されている。 $r1$ 、 $r2$ 、 $r3$ 、 R も同様に抵抗であつて、それぞれ $|VSS'1|$ が0.6V、1.8V、1.2Vになったときの $|VM|$ タップの電位が同じになるよう設定されている。

【0023】この3つのタップ電位は、トランスミッションゲート71により1つが選択され(VREGT)、コンパレータ72でVMと比較される。コンパレータ72は、VMが選択されたタップ電位よりも低電位ならば「H」を出力し、その逆の時及びSP'が「L」のとき

4

* $Tr1$ 、 $Tr3$ 、 $Tr6$ をONし他をOFF、充薄時 $Tr2$ 、 $Tr4$ 、 $Tr5$ 、 $Tr7$ をONし他をOFFする。

【0018】同様に $t3$ 、 $t4$ 時に2倍昇圧充電を行なうためには、昇圧時 $Tr1$ 、 $Tr3$ 、 $Tr5$ 、 $Tr7$ をONし他をOFF、充電時は1.5倍昇圧時の充電時と同様の動作を行ない、さらに $t4 \sim t5$ 時に3倍昇圧を行うためには、昇圧時は2倍昇圧充電時の昇圧時と同様の動作を行ない、充電時には $Tr2$ 、 $Tr4$ 、 $Tr6$ をONし他をOFFする。以上のように各FETを制御すれば、それぞれ図5に示す状態となり各昇圧充電が可能となる。以上を具体的に電子回路で実現した多段昇圧充電回路5の一実施の形態を図6に示す。図6においてコンデンサ4、6、21、22とFET $Tr1 \sim Tr7$ は図4と同様のものである。ただし、 $Tr5$ 、 $Tr6$ 、 $Tr7$ は電流の流れが両方向となるのでPチャンネルFETとNチャンネルFETを組み合わせている。また、 $\phi c1$ は昇圧充電クロックであり、該信号の論理レベル「L」のとき昇圧を行ない、「H」のとき充電を行なう。

【0019】従つて回路は $\phi c1$ の周期に応じて昇圧充電を繰り返す。 $AmpN$ 、 $Amp1.5$ 、 $Amp2$ 、 $Amp3$ は昇圧倍率を示す信号であり、「H」のときにそれぞれ昇圧なし、1.5倍昇圧、2倍昇圧、3倍昇圧を表し、該信号は制御回路8で形成される。また、61~64は既知の論理ゲートであり、これらのゲートによつて $Tr1 \sim Tr7$ のFETのON、OFFタイミングが作られ、図4及び図5をもつて説明した動作を行なう。

【0020】次に、図7に電圧検出回路7の具体例を示す。 sp' はサンプリング信号であり「H」のとき回路が作動し、「L」のとき電流を消費しないように回路状態を固定する。破線内は公知の定電圧回路であり、その出力電圧をVREGと表している。また $R1$ 、 $R2$ は抵抗であり、 $|VSS'1|$ の最大電圧の1.8Vをもつて

【0021】

【数1】

は「L」を出力するよう構成されており、その出力 $comp$ は制御回路8へ送られる。

【0024】 $T1.5$ 、 $T2$ 、 $T3$ は、トランスミッションゲートを選択する信号で制御回路8で形成され

「H」のときトランスミッションゲートをONにする。以上の構成により、VMとVREGTと比較し、その結果($comp$)とトランスミッション選択信号($T1.5$ 、 $T2$ 、 $T3$)の状態では $vss'1$ が図1の $t0 \sim t5$ の内のいずれに存在するのかの判定が可能となる。この判定は後述する制御回路8において行なう。

(4)

5

【0025】図8は、制御回路8の具体例であり、図9はそのタイミングチャートである。タイミングチャートは、波状線の左側において1.5倍昇圧制御状態から2倍昇圧制御状態へ移行するところを示し、波状線xの右側において2倍昇圧状態から昇圧なしの状態へ移行する時の各信号の動きを示している。図8において、91、94はCLの立下りでデータをラッチするD型フリップフロップ、92はCLの「L」でデータを保持するマスターラッチ、93は2ビットのバイナリーカウンタであり、他は既知のゲート類である。ここで、タイミングチャート波状線左側にそってこの制御回路の動作を説明する。まず、サンプリングパルスSPが「H」になる以前の状態は、昇圧倍率1.5倍、トランスミッションゲート選択信号はT1.5が「H」であり、その状態はそれぞれマスターラッチ92とバイナリーカウンタ93で記憶されている。今、サンプリングパルスSPが出力されると同時にReset信号が出てバイナリーカウンタ93をリセットし、T3が「H」となる初期状態に戻る。以後CPパルスによりコンパレータ出力compが「L」になるまで順次T3、T2、T1.5が選択されていく。今大容量コンデンサ4の電圧 $|v_{ss}^1|$ が0.6V~0.8Vの間にあるとすると(図1のt3~t4の間)、図7の説明から分かるように、T2が「H」になった時にVMとVREGTの電位が逆転しcompが「L」になる。従って、これにより v_{ss}^1 の範囲が判定できる。なぜならT3の検出電圧は0.6Vであり、T2の検出電圧は0.8Vであるからこの間でコンパレータの出力が反転したならば、 $|v_{ss}^1|$ が0.6V~0.8Vであることが規定できるのである。また、 $|v_{ss}^1|$ が1.2V以上のときはT1.5が「H」でかつcompも「H」のままでいる。compが「L」になると以後のCPパルスは禁止されるので、トランスミッションゲート選択信号の状態がバイナリーカウンタ93に記憶される。また、 $|v_{ss}^1|$ が1.2V以上のときは、T1.5が「H」でかつcompも「H」のままでいる。従って、CPパルスが出終ったときのバイナリーカウンタの内容とcompの出力によって、何倍昇圧すべきかが決定できる。その決定をしているのが、D型フリップフロップ94とマスターラッチ92及び若干のゲートであり、SPの立下りでその動作を行なっている。

【0026】以上述べた様に本実施の形態によれば時計の動作可能時間を図1においてt2時間からt5時間まで伸ばしている。又、コンデンサ2の電圧で言えば従来0.9Vから1.8Vの間でしか使えなかったものが本実施の形態によれば0.3Vから1.8Vまで使えコンデンサ2に蓄えられたエネルギーを有効に使っていることは明白である。

【0027】又、本実施の形態では昇圧部図2における5において1.5倍、2.0倍、3.0倍の3種類の昇

6

圧手段を有し、それを電圧検出部12による電気信号により切換えて使っているが、本発明はこの3種に限定されるものではなく、1種類でも又多種類用意してもよく又倍率もさまざま考えられる。又、電圧検出は本実施の形態はコンデンサ4の電圧を検出している(1.8、1.2、0.8、0.6V)がコンデンサ6の電圧を検出し(1.8V、1.2V)で昇圧部5の内容と比較して昇圧状態を決める方法もちろん可能である。この方法は検出電圧が少なくても良いというメリットがある。又、発電部1はソーラバッテリーだけでなく発電するのであれば何でも良い。又、1と2とを1つにして前記したごとく通常の電池でも本発明の効果は失しない。

【0028】尚、図1で v_{ss}^1 が0.3V~0Vの間で時計は停止し、時計体の発振回路も発振を停止する。発振が停止すると昇圧用のクロック信号が発生しなくなるため昇圧動作も停止をする。この状態で太陽電池1と充電回路が接続されていると、太陽電池に光が照射しても電流は充電回路のみ流れ込み、発振回路は直ちに発振することができず、その結果、昇圧回路も動作しないので時計が必要になる。このような問題を解決するためには、発振回路の発振が停止したときに、太陽電池と充電回路の接続を断ち、太陽電池と発振回路を直結するように構成すれば良い。

【0029】具体的な例を図10の例を用いて説明する。

【0030】図9において、2は時計回路を示している。図2のリミッタ回路2は説明の簡素化のために除去し、また多段昇圧回路5と電圧検出回路7、及び制御回路8は、昇圧回路119、論理回路118として簡略化した。

【0031】以下図4について電源制御の説明をする。まず二次電池103(コンデンサ)は低電圧状態(0.3V以下)とする。

【0032】発振回路108の発振信号123が発振しているとすると発振停止検出回路117が停止を検出し制御信号113がLとなってトランスミッションゲート114がON、トランスミッションゲート115、105がOFFとなる。

【0033】このため、発振回路108の電源120は、昇圧回路119による昇圧電源121とOFF、太陽電池側電源122とONしており、ここで太陽電池1に光を与えると発振回路108、発振停止検出回路117、論理回路118に発振可能な電圧が供給され、発振開始する。発振開始すると昇圧に必要な昇圧クロック124が発生して、昇圧回路119は、二次電池103の昇圧を開始し、昇圧電源121に高電圧が発生する。一方、電源ゲートは発振開始によりトランスミッションゲート114がOFF、トランスミッションゲート115、105がONするため、時計回路102の電源系は、太陽電池101が二次電池101を充電し、二次電

(5)

7

池103を昇圧した高電圧により、時計回路102が動作することになる。すなわち二次電池が低電圧でも時計は直ちに動作することとなる。

【0034】

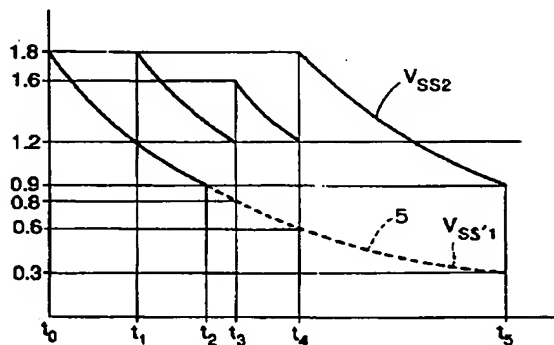
【発明の効果】以上述べたごとく、本発明によれば電圧の変動の大きな放電特性を持つ電源を有する電子時計においてその電氣的なエネルギーのロスを最少にして、言換えると電氣的エネルギーをきわめて有効に活用することができる。これにより電池交換不要のソーラバッテリー付時計の電源にコンデンサーを使って、その持続時間

【図面の簡単な説明】

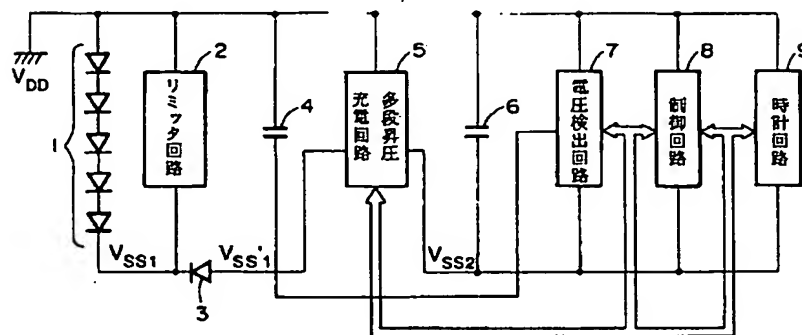
【図1】 コンデンサーの放電性及び本発明による効果説明図。

【図2】 本発明による一実施の形態のブロック図。

【図1】



【図2】



8

【図3】 従来例を示す図。

【図4】 多段昇圧回路の基本形を示す図。

【図5】 (A)～(D)：図4の動作の具体例を示す図。尚図5(B)～(D)において(イ)は昇圧動作を、(ロ)は充電動作を示す。

【図6】 電子回路としての実施の形態を示す図。

【図7】 電圧検出回路の具体例を示す図。

【図8】 制御回路の具体例を示す図。

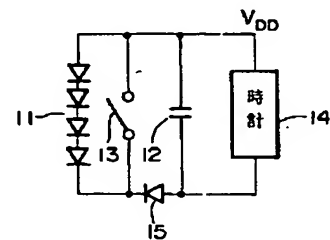
【図9】 制御回路のタイミングチャート。

【図10】 本発明の応用例を示すブロック図。

【符号の説明】

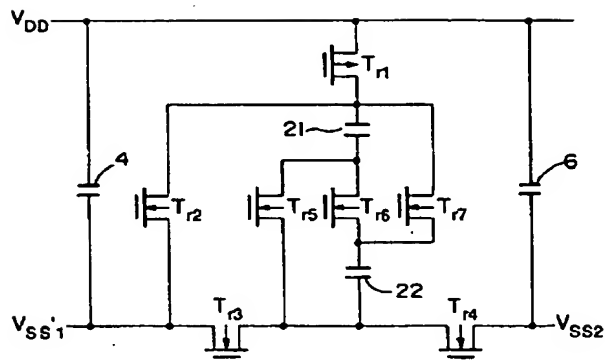
- 1 ソーラバッテリー
- 2 リミッター回路
- 4 コンデンサー
- 5 昇圧手段
- 9 時計体

【図3】

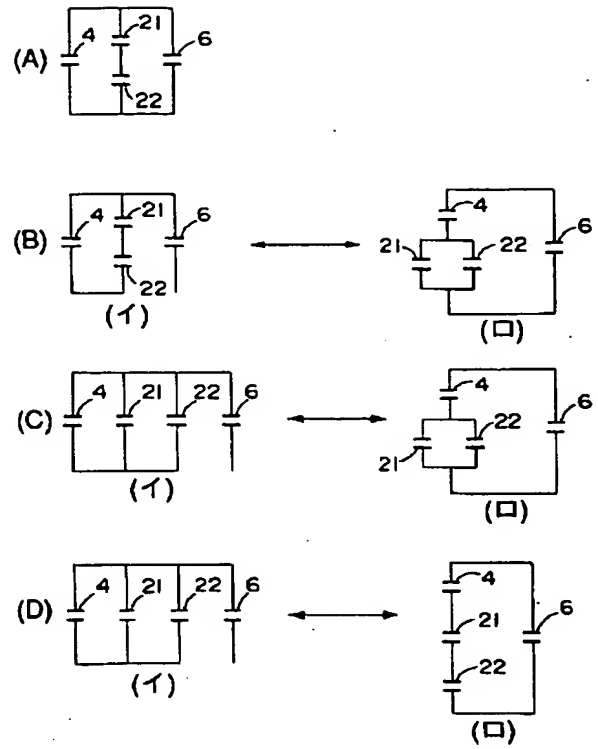


(6)

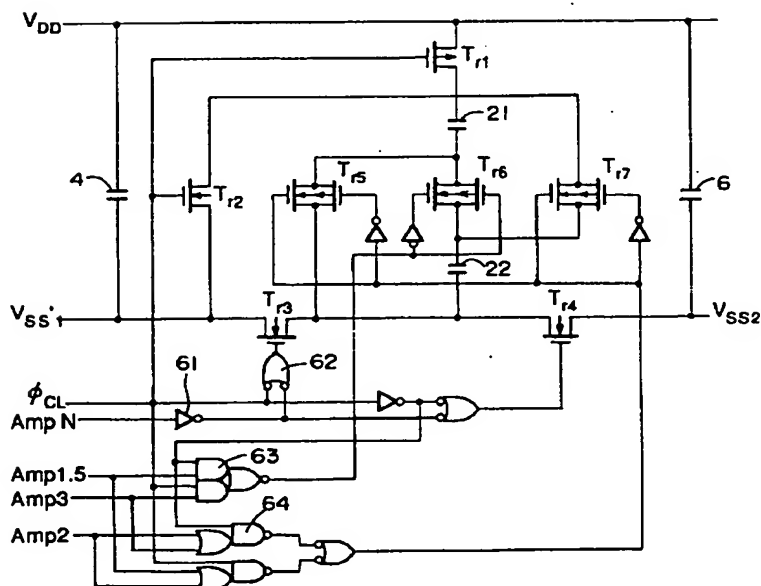
【図4】



【図5】

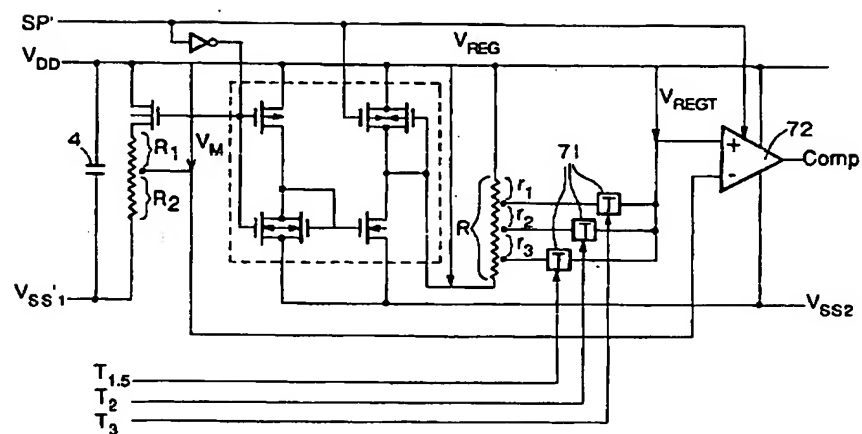


【図6】

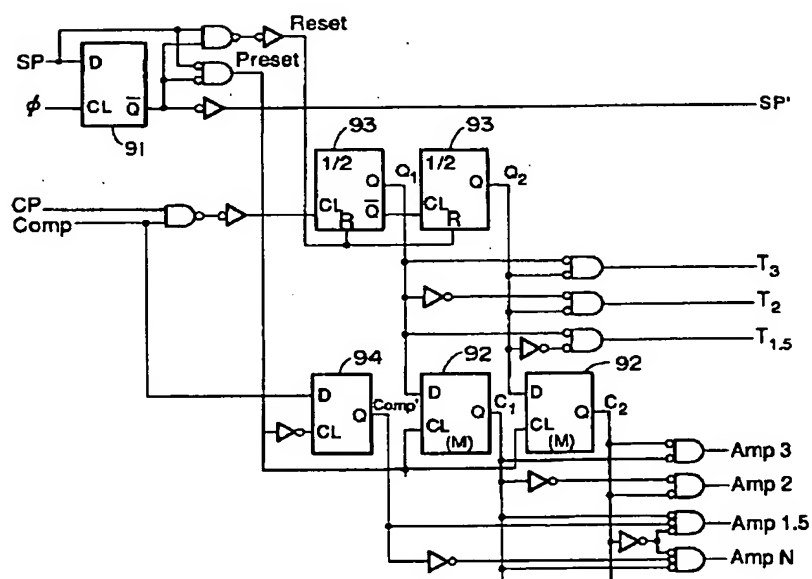


(7)

【図7】

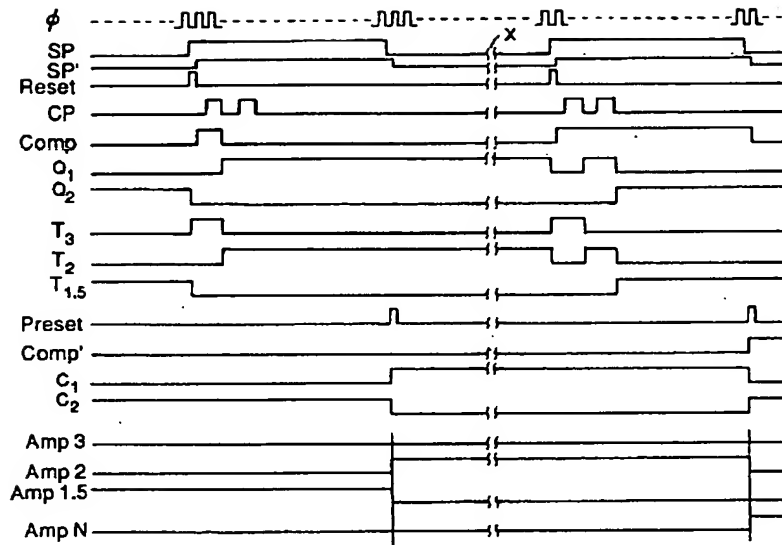


【図8】

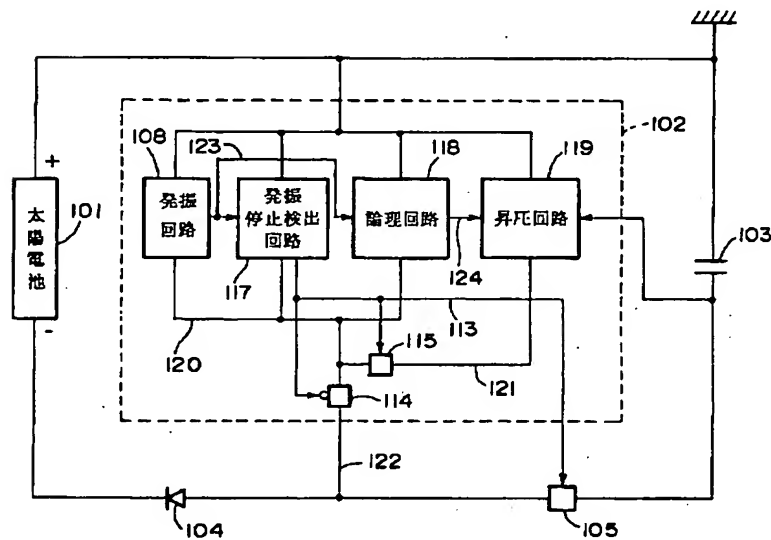


(8)

【図9】



【図10】



【手続補正書】

【提出日】平成9年5月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】電子時計

【特許請求の範囲】

【請求項1】 外部から付与されるエネルギーを基に発電を行う発電手段を内蔵する電子時計であって、
 前記発電手段により整流手段を介して充電される第1のコンデンサーと、
 前記第1のコンデンサーからエネルギーが充電される第2のコンデンサーと、
 前記第2のコンデンサーの端子電圧を電源電圧とする時計回路と、
 前記第1または第2のコンデンサーの端子電圧を検出す

(9)

る検出手段と、

前記第1のコンデンサーに充電されたエネルギーを昇圧するとともに前記検出手段の検出電圧に基づいて前記第2のコンデンサーの端子電圧が一定電圧を越えない範囲で制御する昇圧手段とからなり、前記昇圧手段は、前記第1のコンデンサーと昇圧用コンデンサーとの接続を所定のクロックタイミングで繰り返し切り換えることにより前記第2のコンデンサーへの充電を行うことを特徴とする電子時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は水晶時計等、電気エネルギーをエネルギー源とする電子時計における電源部の構成に関する。特に電源の放電特性がフラットでなく放電が進むにつれて電圧の変化するような電源を有する電子時計の電源部の改良に関する。

【0002】

【従来の技術】従来の水晶時計等電気エネルギーをエネルギー源とした電子時計は、その電源部に銀電池の様なフラットな放電特性を持つ電源を用いていた。これにより、電源の持つエネルギーを十分活用していた。

【0003】しかし銀電池は高価であり、しかも電池そのものに寿命がある等、欠点も大きかった。

【0004】これらの解決策として近年、価格的にはアルカリマンガン電池等が用いられる様になったし、電池そのものの寿命に関してはソーラバッテリーを電源とし、2次電池として高容量コンデンサーを用いた時計も提案されている。

【0005】

【発明が解決しようとする課題】上記技術では、アルカリマンガン電池は放電特性がフラットでなく、時計の作動停止後にもエネルギーを多く有しており、電池の特性を十分活かしているとは言えないのが現状である。又、2次電池として高容量コンデンサーを用いたものは、当然の事ながらコンデンサーの放電特性により、その時計の止まりまでの持続時間は決まってしまう、実用化の大きな問題となっていた。

【0006】本発明の目的は、以上の様な従来の欠点を解決し、フラットでない放電特性を持つ電源を用いてもその電源の持つ電気エネルギーを十分に活用することを目的とする。

【0007】

【課題を解決するための手段】上述した課題を解決するために、本発明は、外部から付与されるエネルギーを基に発電を行う発電手段を内蔵する電子時計であって、前記発電手段により整流手段を介して充電される第1のコンデンサーと、前記第1のコンデンサーからエネルギーが充電される第2のコンデンサーと、前記第2のコンデンサーの端子電圧を電源電圧とする時計回路と、前記第1または第2のコンデンサーの端子電圧を検出する検出

手段と、前記第1のコンデンサーに充電されたエネルギーを昇圧するとともに前記検出手段の検出電圧に基づいて前記第2のコンデンサーの端子電圧が一定電圧を越えない範囲で制御する昇圧手段とからなり、前記昇圧手段は、前記第1のコンデンサーと昇圧用コンデンサーとの接続を所定のクロックタイミングで繰り返し切り換えることにより前記第2のコンデンサーへの充電を行うことを特徴とする。この発明によれば、外部から付与されるエネルギーを基に発電を行う発電手段を内蔵し第2のコンデンサーの端子電圧を電源電圧とする時計回路を有する電子時計において、第1のコンデンサーは発電手段により整流手段を介して充電され、第2のコンデンサー第1のコンデンサーからエネルギーが充電され、検出手段は第1または第2のコンデンサーの端子電圧を検出し、昇圧手段は第1のコンデンサーと昇圧用コンデンサーとの接続を所定のクロックタイミングで繰り返し切り換えることにより第2のコンデンサーへの充電を行うことで第1のコンデンサーに充電されたエネルギーを昇圧するとともに検出手段の検出電圧に基づいて第2のコンデンサーの端子電圧が一定電圧を越えない範囲で制御する。

【0008】

【発明の実施の形態】本発明を一実施の形態により図を用いて説明する。

【0009】本実施の形態は、発電機構としてソーラバッテリーを用いて、2次電池として高容量コンデンサーである電気二重層コンデンサーを用いた時計である。

【0010】図1はこの電気二重層コンデンサーの放電特性であり、図2は本発明による一実施の形態のブロック図である。図3は従来のシステムの回路説明図である。この図3において、ソーラバッテリー1による発電力が電気二重層コンデンサー12に充電され定格電圧以上に充電されると、リミッタースイッチ13が閉じてコンデンサー12への充電をやめる。時計体14は、ソーラバッテリー11又はコンデンサー12を電源として作動している。又、ダイオード15は、ソーラバッテリー11の発生起電圧がコンデンサー4の充電電圧以下になったときに、電流がソーラバッテリーに流れ込むのを防ぐ逆流防止ダイオードである。

【0011】コンデンサー12がフル充電された状態でソーラバッテリー11に光が当たらなくなった後のコンデンサー12の放電特性を、図1で実線 V_{SS2} と破線 $V_{SS'1}$ で示している。縦軸がコンデンサー12の電圧、横軸が時間である。この本実施の形態でのコンデンサーの定格電圧は1.8Vである。また、時計体の作動停止電圧は0.9Vである。この時、時計の作動はソーラバッテリーに光が当たらなくなってから t_2 時間で止まることになる。

【0012】図2は、本発明による一実施の形態のブロック図であり、ソーラバッテリー1に光が照射し発生した電力は、逆流防止ダイオード3を通して電気二重層コ

(10)

ンデンサ-4へ充電される。このとき、ソーラバッテリー1の発生起電圧(V_{SS1})が定格電圧以上になると、リミッタ回路2が働きコンデンサ-4への充電をやめる。例えば、定格電圧とはコンデンサ-4の定格電圧であり、リミッタ回路とは定電圧ダイオードで構成され、図中 $V_{DD}-V_{SS1}$ 間が定格電圧以上になったら通電し充電電流をバイパスする構成、または $V_{DD}-V_{SS1}$ 間にスイッチを有し、リファレンス電圧検出により充電電流をバイパスする構成になっている。

【0013】コンデンサ-4に充電された電力は、多段昇圧充電回路5により最適な昇圧が行われてコンデンサ-6に充電される。この動作の詳細な説明は後述する。コンデンサ-6は、コンデンサ-4の電圧 $V_{SS'1}$ を検出する電圧検出回路7、その電圧検出出力をもとに昇圧充電回路に最適昇圧充電を行なわせる制御回路8及び時計回路9の電源となっている。

【0014】次に本実施の形態の動作を、図1を参照しながら詳細に説明する。ここで図1において破線は、大容量コンデンサ-4の電圧 $V_{SS'1}$ の絶対値を示し、実線はコンデンサ-6の電圧 V_{SS2} の絶対値を示す。コンデンサ-4がフル充電された後、ソーラバッテリー1に光が当たらなくなった時を説明する。コンデンサ-4の電圧 $|V_{SS'1}|$ が1.2V以上の時は、コンデンサ-4とコンデンサ-6とは同じ電圧になるように昇圧充電回路5が動作する。

【0015】コンデンサ-4の電圧 $|V_{SS'1}|$ が1.2V~0.8Vの時は、昇圧充電回路5により2倍に昇圧してコンデンサ-6へ充電する。図1 $t_1 \sim t_3$ の区間である。従って、この時のコンデンサ-6の電圧 $|V_{SS2}|$ は、1.8V~1.2Vとなる。コンデンサ-4の電圧 $|V_{SS'1}|$ が0.8V~0.6Vの時は昇圧充電回路5により2倍に昇圧されコンデンサ-6に充電される。図1において $t_3 \sim t_4$ の区間である。この時のコンデンサ-6の電圧 $|V_{SS2}|$ は1.6V~1.2Vとなる。コンデンサ-4の電圧 $|V_{SS'1}|$ が0.6V以下の時は、昇圧充電回路5により3倍に昇圧してコンデンサ-6に充電する。図1の t_4 以降である。

【0016】以上の説明のように、本実施の形態によれば昇圧充電手段により、時計体の実際の電源となるコンデンサ-6の電圧 $|V_{SS2}|$ を動作停止電圧0.9V以上に保つことによって、時計の動作可能時間を図1において t_2 時間から t_5 時間まで伸ばしている。又、コンデンサ-4の電圧でいえば従来0.9Vから1.8Vの間でしか使えなかったものが、本実施の形態によれば0.3Vから1.8Vまで使え、コンデンサ-4に蓄えられたエネルギーを有効に使っている。

【0017】次に、本実施の形態中の多段昇圧充電回路6、電圧検出回路7、制御回路8の具体的実施の形態を

示す。

【0018】図4は、多段昇圧充電回路6の基本形であり、図5はその動作を具体的に示したものであり、

(イ)は昇圧動作、(ロ)は充電動作である。図4、図5のコンデンサ-4、6は図2のそれであり、コンデンサ-21、22は昇圧用の補助コンデンサである。また、図4の $T_{r1} \sim T_{r7}$ はFETであり、昇圧を行なうためのスイッチの役割を果たしている。図4において昇圧を行わず、 $V_{SS'1}$ と V_{SS2} を同電位にするためには、 T_{r3} と T_{r4} をONさせ、他はOFFにすれば良い。

【0019】この状態を示したのが図5(A)であり、図1の $t_0 \sim t_1$ における動作である。また、 $t_1 \sim t_3$ において1.5倍昇圧充電を行なうためには、昇圧時 T_{r1} 、 T_{r3} 、 T_{r6} をONし他をOFF、充電時 T_{r2} 、 T_{r4} 、 T_{r5} 、 T_{r7} をONし他をOFFする。

【0020】同様に t_3 、 t_4 時に2倍昇圧充電を行なうためには、昇圧時 T_{r1} 、 T_{r3} 、 T_{r5} 、 T_{r7} をONし他をOFF、充電時は1.5倍昇圧時の充電時と同様の動作を行ない、さらに $t_4 \sim t_5$ 時に3倍昇圧を行うためには、昇圧時は2倍昇圧充電時の昇圧時と同様の動作を行ない、充電時には T_{r2} 、 T_{r4} 、 T_{r6} をONし他をOFFする。以上の様に各FETを制御すれば、それぞれ図5に示す状態となり各昇圧充電が可能となる。

【0021】以上を具体的に電子回路で実現した多段昇圧充電回路5の一実施の形態を図6に示す。図6においてコンデンサ-4、6、21、22とFET- $T_{r1} \sim T_{r7}$ は図4と同様のものである。ただし、 T_{r5} 、 T_{r6} 、 T_{r7} は電流の流れが両方向となるのでPチャンネルFETとNチャンネルFETを組み合わせている。また、 ϕ_{CL} は昇圧充電クロックであり、該信号の論理レベル「L」のとき昇圧を行ない、「H」のとき充電を行なう。従って回路は ϕ_{CL} の周期に応じて昇圧充電を繰り返す。

【0022】 $AmpN$ 、 $Amp1.5$ 、 $Amp2$ 、 $Amp3$ は昇圧倍率を示す信号であり、「H」のときにそれぞれ昇圧なし、1.5倍昇圧、2倍昇圧、3倍昇圧を表し、該信号は制御回路8で形成される。また、61~64は既知の論理ゲートであり、これらのゲートによって $T_{r1} \sim T_{r7}$ のFETのON、OFFタイミングが作られ、図4及び図5をもって説明した動作を行なう。

【0023】次に、図7に電圧検出回路7の具体例を示す。SP'はサンプリング信号であり「H」のとき回路が作動し、「L」のとき電流を消費しないように回路状態を固定する。破線内は公知の定電圧回路であり、その出力電圧を V_{REG} と表している。また R_1 、 R_2 は抵抗であり、 $|V_{SS'1}|$ の最大電圧の1.8Vをもって、

【数1】

$$|V_{REG}| = |V_M| = \frac{R_1}{R_1 + R_2} |V_{SS'1}| = \frac{R_1}{R_1 + R_2} \times 1.8$$

(11)

を満足するように設定されている。 r_1 、 r_2 、 r_3 、 R も同様に抵抗であって、それぞれ $|V_{SS'}|$ が0.6V、1.8V、1.2Vになったときの $|V_M|$ タップの電位が同じになるよう設定されている。

【0024】この3つのタップ電位は、トランスミッションゲート71により1つが選択され(V_{REGT})、コンパレータ72で V_M と比較される。コンパレータ72は、 V_M が選択されたタップ電位よりも低電位ならば「H」を出力し、その逆の時及びSP'が「L」のときは「L」を出力するよう構成されており、その出力Compは制御回路8へ送られる。

【0025】 T_1 、 T_2 、 T_3 は、トランスミッションゲートを選択する信号で制御回路8で形成され「H」のときトランスミッションゲートをONにする。以上の構成により、 V_M と V_{REGT} とを比較し、その結果(Comp)とトランスミッション選択信号(T_1 、 T_2 、 T_3)の状態で $V_{SS'}$ が図1の $t_0 \sim t_5$ の内のいずれに存在するかの判定が可能となる。この判定は後述する制御回路8において行なう。

【0026】図8は、制御回路8の具体例であり、図9はそのタイミングチャートである。タイミングチャートは、波状線の左側において1.5倍昇圧制御状態から2倍昇圧制御状態へ移行するところを示し、波状線Xの右側において2倍昇圧状態から昇圧なしの状態へ移行する時の各信号の動きを示している。図8において、91、94はCLの立下りでデータをラッチするD型フリップフロップ、92はCLの「L」でデータを保持するマスターラッチ、93は2ビットのバイナリーカウンタであり、他は既知のゲート類である。

【0027】ここで、タイミングチャート波状線左側にそってこの制御回路の動作を説明する。まず、サンプリングパルスSPが「H」になる以前の状態は、昇圧倍率1.5倍、トランスミッションゲート選択信号は T_1 、5が「H」であり、その状態はそれぞれマスターラッチ92とバイナリーカウンタ93で記憶されている。今、サンプリングパルスSPが出力されると同時にReset信号が出てバイナリーカウンタ93をリセットし、 T_3 が「H」となる初期状態に戻る。以後CPパルスによりコンパレータ出力Compが「L」になるまで順次 T_3 、 T_2 、 T_1 、5が選択されていく。

【0028】今大容量コンデンサ4の電圧 $|V_{SS'}|$ が0.6V~0.8Vの間にあるとすると(図1の $t_3 \sim t_4$ の間)、図7の説明から分かるように、 T_2 が「H」になった時に V_M と V_{REGT} の電位が逆転しCompが「L」になる。従って、これにより $V_{SS'}$ の範囲が判定できる。なぜなら T_3 の検出電圧は0.6Vであり、 T_2 の検出電圧は0.8Vであるからこの間でコンパレータの出力が逆転したならば、 $|V_{SS'}|$ が0.6V~0.8Vであることが規定できるのである。また、 $|V_{SS'}|$ が1.2V以上のときは T_1 、5が「H」で、かつCompも

「H」のままでいる。Compが「L」になると以後のCPパルスは禁止されるので、トランスミッションゲート選択信号の状態がバイナリーカウンタ93に記憶される。

【0029】また、 $|V_{SS'}|$ が1.2V以上のときは、 T_1 、5が「H」でかつCompも「H」のままでいる。従って、CPパルスが出終ったときのバイナリーカウンタの内容とCompの出力によって、何倍昇圧すべきかが決定できる。その決定をしているのが、D型フリップフロップ94とマスターラッチ92及び若干のゲートであり、SPの立下りでその動作を行なっている。

【0030】以上述べた様に本実施の形態によれば、時計の動作可能時間を図1において t_2 時間から t_5 時間まで伸ばしている。又、コンデンサ4の電圧で言えば従来0.9Vから1.8Vの間でしか使えなかったものが本実施の形態によれば0.3Vから1.8Vまで使い、コンデンサ4に蓄えられたエネルギーを有効に使っていることは明白である。

【0031】又、本実施の形態では昇圧部図2における5において1.5倍、2.0倍、3.0倍の3種類の昇圧手段を有し、それを電圧検出部12による電気信号により切換えて使っているが、本発明はこの3種に限定されるものではなく、1種類でも又多種類用意してもよく又倍率もさまざま考えられる。

【0032】又、電圧検出は本実施の形態はコンデンサ4の電圧を検出している(1.8、1.2、0.8、0.6V)が、コンデンサ6の電圧を検出し(1.8V、1.2V)で昇圧部5の内容と比較して昇圧状態を決める方法ももちろん可能である。この方法は検出電圧が少なくても良いというメリットがある。又、発電部1はソーラバッテリーだけでなく発電するものであれば何でも良い。又、1と2とを1つにして前記したごとく通常の電池でも本発明の効果は失しない。

【0033】尚、図1で $V_{SS'}$ が0.3V~0Vの間で時計は停止し、時計体の発振回路も発振を停止する。発振が停止すると昇圧用のクロック信号が発生しなくなるため昇圧動作も停止をする。この状態で太陽電池1と充電回路が接続されていると、太陽電池に光が照射しても電流は充電回路のみ流れ込み、発振回路は直ちに発振することができず、その結果、昇圧回路も動作しないので時計が必要になる。このような問題を解決するためには、発振回路の発振が停止したときに、太陽電池と充電回路の接続を断ち、太陽電池と発振回路を直結するように構成すれば良い。

【0034】具体的な例を図10の例を用いて説明する。

【0035】図10において、102は時計回路を示している。図2のリミッタ回路2は説明の簡素化のために除去し、また多段昇圧回路5と電圧検出回路7、及び制御回路8は、昇圧回路119、論理回路118として簡

(12)

略化した。

【0036】以下図10について電源制御の説明をする。まず二次電池103（コンデンサー）は低電圧状態（0.3V以下）とする。

【0037】発振回路108の発振信号123が発振しているとする。発振停止検出回路117が停止を検出し、制御信号113がLとなってトランスミッションゲート114がON、トランスミッションゲート115、105がOFFとなる。

【0038】このため、発振回路108の電源120は、昇圧回路119による昇圧電源121とOFF、太陽電池側電源122とONしており、ここで太陽電池1に光を与えると発振回路108、発振停止検出回路117、論理回路118に発振可能な電圧が供給され、発振開始する。発振を開始すると昇圧に必要な昇圧クロック124が発生して、昇圧回路119は、二次電池103の昇圧を開始し、昇圧電源121に高電圧が発生する。

【0039】一方、電源ゲートは発振開始によりトランスミッションゲート114がOFF、トランスミッションゲート115、105がONするため、時計回路102の電源系は、太陽電池101が二次電池103を充電し、二次電池103を昇圧した高電圧により、時計回路102が動作することになる。すなわち二次電池が低電圧でも時計は直ちに動作することとなる。

【0040】

【発明の効果】以上述べたごとく、この発明によれば、外部から付与されるエネルギーを基に発電を行う発電手段を内蔵し第2のコンデンサーの端子電圧を電源電圧とする時計回路を有する電子時計において、第1のコンデンサーは発電手段により整流手段を介して充電され、第2のコンデンサー第1のコンデンサーからエネルギーが充電され、検出手段は第1または第2のコンデンサーの端子電圧を検出し、昇圧手段は第1のコンデンサーと昇圧用コンデンサーとの接続を所定のクロックタイミングで繰り返し切り換えることにより第2のコンデンサーへ

の充電を行うことで第1のコンデンサーに充電されたエネルギーを昇圧するとともに検出手段の検出電圧に基づいて第2のコンデンサーの端子電圧が一定電圧を越えない範囲で制御するので、フラットでない放電特性を待つ電源を用いてもその電源の持つ電気エネルギーを十分に活用することができる。即ち、電圧の変動の大きな放電特性を持つ電源を有する電子時計においてその電氣的エネルギーのロスを最少にして、言換えると電氣的エネルギーをきわめて有効に活用することができる。これにより例えば電池交換不要のソーラバッテリー付時計の電源にコンデンサーを使って、その持続時間を飛躍的に伸ばすことが可能である。又、アルカリマンガン電池やリチウム電池の様な電池もエネルギーロスも少なく活用できる。

【図面の簡単な説明】

【図1】 コンデンサーの放電特性及び本発明による効果説明図。

【図2】 本発明による一実施の形態のブロック図。

【図3】 従来例を示す図。

【図4】 多段昇圧回路の基本形を示す図。

【図5】 (A)～(D)：図4の動作の具体例を示す図。尚図5(B)～(D)において(イ)は昇圧動作を、(ロ)は充電動作を示す。

【図6】 電子回路としての実施の形態を示す図。

【図7】 電圧検出回路の具体例を示す図。

【図8】 制御回路の具体例を示す図。

【図9】 制御回路のタイミングチャート。

【図10】 本発明の応用例を示すブロック図。

【符号の説明】

- 1 ソーラバッテリー
- 2 リミッター回路
- 4 コンデンサー
- 5 昇圧手段
- 9 時計体

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-048357

(43)Date of publication of application : 20.02.1998

(51)Int.Cl. G04C 10/00
G04G 1/00

(21)Application number : 09-100586

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 17.04.1997

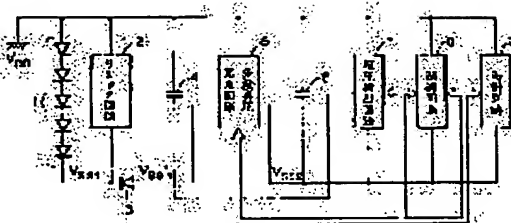
(72)Inventor : YOSHINO MASASHI

(54) ELECTRONIC WATCH

(57)Abstract:

PROBLEM TO BE SOLVED: To sufficient utilize electric energy even using a power source having non-flat discharge characteristic by repeatedly changing the connection between a capacitor and a capacitor for elevating voltage and charging other capacitor.

SOLUTION: Electric power generated by irradiating a solar battery with light is charged in a electric double layer capacitor. When the generated voltage in the battery 1 at this moment becomes over a rated voltage, a limiter circuit 2 operates to terminate charging. The power charged in the capacitor 4 is charged in a capacitor 6 by a multi-step elevation charging circuit 5. If the voltage of the capacitor 4 is 1.2V or more, the circuit 5 functions so that the capacitors 4 and 6 are the same voltage. The voltage of the power source capacitor 6 of the watch is maintained at 0.9V or more as function termination voltage so as to extend functioning time to use to 0.3 to 1.8V and effectively use the energy accumulated in the capacitor 4.



LEGAL STATUS

[Date of request for examination] 16.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2765576

[Date of registration] 03.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 21.11.2004

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] at least -- a power source A and a power source A -- smallness -- the electronic clock characterized by to include a means change the voltage level of a power source A and a power source B in a means has a means has two or more power sources which consist of a power source B which has electrical energy, and can charge the power source B at least, and supply electrical energy to a power source B from a power source A, and supply electrical energy to a power source B from said power source A.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the configuration of a power supply section in the electronic clock which makes electrical energy, such as a crystal clock, an energy source. Especially the discharge property of a power source is related with amelioration of the power supply section of an electronic clock which has a power source from which an electrical potential difference changes as not a flat but discharge progresses.

[0002]

[Description of the Prior Art] The electronic clock which made electrical energy, such as the conventional crystal clock, the energy source used the power source with a flat discharge property like a silver battery for the power supply section. The energy which a power source has by this was utilized enough.

[0003] However, the silver battery was expensive and its fault -- moreover a life is in the cell itself -- was also large.

[0004] An alkaline manganese dioxide cell etc. came to be used in [in recent years] price as these solutions, a solar dc-battery is used as a power source about the life of the cell itself, and the clock using the high capacity capacitor as a rechargeable battery is also proposed.

[0005]

[Problem(s) to be Solved by the Invention] The actual condition is being unable to say that many discharge properties' have energy also after the actuation halt of the clock instead of a flat, and the alkaline manganese dioxide cell is harnessing the property of a cell enough with the above-mentioned technique. Moreover, the persistence time to a stop of the clock was decided by the discharge property of a capacitor with the thing using the high capacity capacitor as a rechargeable battery being natural, and it had become the big problem of utilization.

[0006] The object of this invention solves the above conventional faults, and even if the power source which waits for the discharge property which is not a flat is used for it, it aims at fully utilizing the electrical energy which the power source has.

[0007]

[Means for Solving the Problem] at least -- a power source A and a power source A -- smallness -- it is related with the electronic clock which includes a means change the voltage level of a power source A and a power source B, in a means has a means has two or more power sources which consist of a power source B which has electrical energy, and can charge the power source B at least, and supply electrical energy to a power source B from a power source A, and supply electrical energy to a power source B from said power source A.

[0008]

[Embodiment of the Invention] The gestalt of 1 operation explains this invention using drawing.

[0009] The gestalt of this operation is a clock using the electric double layer capacitor which is a high capacity capacitor as a rechargeable battery, using a solar dc-battery as a generator style.

[0010] Drawing 1 is the discharge property of this electric double layer capacitor, and drawing 2 is the block diagram of the gestalt of the 1 operation by this invention. Drawing 3 is the circuit explanatory view of the conventional system. If an electric double layer capacitor 12 charges and the generation-of-electrical-energy force by the solar dc-battery 1 is conventionally charged in drawing 3 more than rated voltage, the limiter switch 13 will close and the charge to a capacitor 12 will be stopped. The clock object 14 is operating considering the solar dc-battery 11 or a capacitor 12 as a power source. Moreover, diode 15 is antisuckback diode which prevents a current flowing into a solar dc-battery, when the generating electromotive voltage of the solar dc-battery 11 turns into below the charge electrical potential difference of a capacitor 4. A continuous line Vss2 and broken-line V'ss1 show the discharge property of the capacitor 12 after light stopped shining upon the solar dc-battery 11 where full charge of the capacitor 12 is carried out by drawing 1. An axis of ordinate is the electrical potential difference of a capacitor 12, and an axis of abscissa is time amount. The rated voltage of the capacitor in the gestalt of this the operation of this is 1.8V. Moreover, the actuation halt electrical potential difference of a clock object is 0.9V. Actuation of a clock will stop for t 2 hours after light stops shining upon a solar dc-battery at this time.

[0011] Drawing 2 is the block diagram of the gestalt of the 1 operation by this invention, and the power which light irradiated the solar dc-battery 1 and was generated is charged through the antisuckback diode 3 to electric double layer capacitor 4-. If the generating electromotive voltage (Vssl) of the solar dc-battery 1 becomes more than rated voltage at this time, a limiter circuit 2 will work and the charge to a capacitor 4 will be stopped. For example, rated voltage is the rated voltage of a capacitor 4, and with the limiter circuit, it has a switch between the configuration which will energize if it consists of reference diodes and between VDD1VSSI in drawing becomes more than rated voltage, and bypasses the charging current, or VDD1VSS1, and has composition which bypasses the charging current by reference electrical-potential-difference detection. Optimal pressure up is performed by the multistage pressure-up charge circuit 5, and the power charged by the capacitor 4 is charged by the capacitor 6. Detailed explanation of this actuation is mentioned later. The capacitor 6 serves as a power source of the electrical-potential-difference detector 7 which detects electrical-potential-difference VSS1' of a capacitor 4, the control circuit 8 which makes the optimal pressure-up charge perform to a pressure-up

charge circuit based on the electrical-potential-difference detection output, and the clock circuit 9.

[0012] Next, actuation of the gestalt of this operation is explained to a detail, referring to drawing 1. In drawing 1, a broken line shows the absolute value of electrical-potential-difference VSS'1 of the mass capacitor 4 here, and a continuous line shows the absolute value of the electrical potential difference VSS2 of a capacitor 6. After full charge of the capacitor 4 is carried out, the time of light stopping shining upon the solar dc-battery 1 is explained. When electrical-potential-difference |VSS'1| of a capacitor 4 is more than 1.2V, the pressure-up charge circuit 5 operates so that it may become the electrical potential difference with same capacitor 4 and capacitor 6. When electrical-potential-difference |VSS'1| of a capacitor 4 is 1.2V-0.8V, pressure up is doubled by the pressure-up charge circuit 5, and it charges to a capacitor 6. It is the section of drawing 1 t1-t3. Therefore, electrical-potential-difference |VSS2| of the capacitor 6 at this time is set to 1.8V-1.2V. When electrical-potential-difference |VSS'1| of a capacitor 4 is 0.8V-0.6V, the pressure-up charge circuit 5 doubles pressure up, and a capacitor 6 charges. In drawing 1, it is the section of t3-t4. Electrical-potential-difference |VSS2| of the capacitor 6 at this time is set to 1.6V-1.2V.

[0013] When electrical-potential-difference |VSS'1| of a capacitor 4 is less than [0.6V], pressure up is increased 3 times by the pressure-up charge circuit 5, and a capacitor 6 is charged. It is after t4 of drawing 1.

[0014] According to the gestalt of this operation, therefore like the above explanation, the uptime of a clock is developed from t 2 hours to t 5 hours in drawing 1 with the pressure-up charge means to maintain electrical-potential-difference |VSS2| of the capacitor 6 used as the actual power source of a clock object more than of operation halt electrical-potential-difference 0.9V. moreover, if it says on the electrical potential difference of a capacitor 4, use only among 1.8V from conventional 0.9v, and according to the gestalt of this operation of an inside **** thing, wait 1.8V from 0.3V — it can use and the energy stored in the capacitor 4 is used effectively.

[0015] Next, the gestalt of concrete operation of the multistage pressure-up charge circuit 6 in the gestalt of this operation and the electrical-potential-difference detector 7. control circuit 8 is shown.

[0016] Drawing 4 shows those of the multistage pressure-up charge circuit 6 with *****, drawing 5 shows the actuation concretely, (b) is pressure-up actuation and (b) is charge actuation. It has swerved from drawing 2 and the capacitors 21 and 22 of the capacitors 4 and 6 of drawing 4 and drawing 5 R> 5 are the auxiliary capacitors for pressure up. Moreover, Tr1-Tr7 of drawing 4 are FET, and they have played the role of the switch for performing pressure up. What is necessary is to make Tr3 and Tr4 turn on, in order not to perform pressure up in drawing 4 but to make vss'1 and vss2 into this potential, and just to turn OFF others.

[0017] Drawing 5 (A) showed this condition and it is actuation in t0-t1 of drawing 1. Moreover, in order to perform pressure-up charge 1.5 times in t1-t3, Tr1, Tr3, and Tr6 are turned on at the time of pressure up, OFF and ***** Tr2, Tr4, Tr5, and Tr7 are turned on for others, and others are turned off.

[0018] In order to perform 2 double pressure-up charge similarly at t3 and t 4:00 In order to turn on Tr1, Tr3, Tr5, and Tr7 at the time of pressure up, to perform the actuation same at the time of OFF and charge as the time of the charge at the time of 1.5 time pressure up for others and to perform pressure up 3 times further at t4 - t 5:00 The same actuation as the time of the pressure up at the time of 2 double pressure-up charge is performed at the time of pressure up, it turns on Tr2, Tr4, and Tr6 at the time of charge, and turns off others. If each FET is controlled as mentioned above, it will be in the condition which shows in drawing 5, respectively, and each pressure-up charge will be attained. The gestalt of the 1 operation of the multistage pressure-up charge circuit 5 which realized the above concretely in the electronic circuitry is shown in drawing 6. In drawing 6, capacitors 4, 6, 21, and 22, and FETTr1-Tr7 are the same as that of drawing 4. However, since the flow of a current serves as both directions, Tr5, Tr6, and Tr7 have combined P channel FET and the N channel FET. Moreover, phicl is a pressure-up charge clock, performs pressure up at the time of the logical level "L" of this signal, and charges at the time of "H."

[0019] Therefore, a circuit repeats pressure-up charge according to the period of phicl. AmpN, and Amp1.5, Amp2 and Amp3 are signals which show a pressure-up scale factor, they express pressure-up nothing, 1.5 time pressure up, 2 double pressure up, and 3 time pressure up, respectively at the time of "H", and this signal is formed in a control circuit 8. Moreover, 61-64 are known logic gates, and ON of FET of Tr1-Tr7 and off-timing are made by these gates, and they perform actuation explained with drawing 4 and drawing 5.

[0020] Next, the example of the electrical-potential-difference detector 7 is shown in drawing 7. It is a sampling signal and a circuit operates at the time of "H", and when it is "L", sp' fixes a circuit condition so that a current may not be consumed. The inside of a broken line is a well-known voltage stabilizer, and expresses the output voltage as VREG. Moreover, R1 and R2 are resistance, have 1.8V of the maximum electrical potential difference of |VSS'1|, and are [0021].

[Equation 1]

$$|VREG| = |VM| = \frac{R1}{R1+R2} |VSS'1| = \frac{R1}{R1+R2} \times 1.8$$

[0022] It is set up so that it may be satisfied. r1, r2, r3, and R are resistance similarly, and it is set up so that the potential of a |VM| tap when |VSS'1| is set to 0.6V, 1.8V, and 1.2V, respectively may become the same.

[0023] One is chosen by the transmission gate 71 (VREGT) and these three tap potentials are compared with VM by the comparator 72. If a comparator 72 is low voltage, it will output "H", when the time of the reverse and SP' are "L", it consists of tap potentials as which VM was chosen so that "L" may be outputted, and the output comp is sent to a control circuit 8.

[0024] T1.5, T2, and T3 are formed in a control circuit 8 by the signal which chooses a transmission gate, and turn ON a transmission gate at the time of "H." by the above configuration, compare VM with VREGT and vss'1 exists in any of t0-t5 of drawing 1 in the state of the result (comp) and transmission selection signal (T1.5, T2, T3) -- that judgment is attained. This judgment is performed in the control circuit 8 mentioned later.

[0025] Drawing 8 is the example of a control circuit 8, and drawing 9 is the timing chart. A timing chart shows the place which shifts to 2 double pressure-up control state from a pressure-up control state 1.5 times in the left-hand side of a wavelike line, and shows the motion of each signal when shifting to a condition without pressure up from 2 double pressure-up condition in the right-hand side of the wavelike line x. In drawing 8, 91, the D type flip-flop to which 94 latches data in falling of CL, the master latch to which 92 holds "L" ** data of CL, and 93 are 2-bit binary counters, and others are the known gates. Here, there is it along timing-chart wavelike line left-hand side, and actuation of this control circuit is explained. First, as for the condition before setting a sampling pulse SP to "H", as for one 1.5 times the pressure-up scale factor of this, and a transmission gate selection signal, T1.5 is "H", and the condition is memorized with the master latch 92 and the binary counter 93, respectively. Now, a Reset signal comes out, a binary counter 93 is reset, and it returns to the initial state from which T3 is set to "H" at the same time a sampling pulse SP is outputted. T3, and T2 and T1.5 are chosen one by one until the comparator output comp is henceforth set to "L" by CP pulse. Supposing it is while electrical-potential-difference |vss'1| of the mass capacitor 4 is 0.6V-0.8V now (between t3-t4 of drawing 1), when T2 is set to "H" so that explanation of drawing 7 may show, the potential of VM and VREGT will be reversed and comp will be set to "L." Therefore, thereby, the range of vss'1 can be judged. Because, the detection electrical potential difference of T3 is 0.6V, and since the detection electrical potential difference of T2 is 0.8V, if the output of a comparator reverses it between them, it can specify that |VSS'1| is 0.6V-0.8V. Moreover, when |VSS'1| is more than 1.2V, T1.5 is "H" and comp is also with "H." Since future CP pulses will be forbidden if comp is set to "L", the condition of a transmission gate selection signal is memorized in the binary KAUN evening 93. Moreover, when |VSS'1| is more than 1.2V, T1.5 is "H" and comp is also with "H." Therefore, the content of the binary counter when CP pulse finishes coming out, and the output of comp can determine what time pressure up should be carried out.

D type flip-flop 94, a master latch 92, and some gate are making the decision, and it is performing the actuation in SP's falling.

[0026] According to the gestalt of this operation to the appearance described above, the uptime of a clock is developed from t 2 hours to t 5 hours in drawing 1 . Moreover, if it says on the electrical potential difference of a capacitor 2, according to the gestalt of this operation of what was able to be used only from conventional 0.9V to 1.8V, it is clear to use effectively the energy which could use from 0.3V to 1.8V, and was stored in the capacitor 2.

[0027] Moreover, although it has three kinds of pressure-up means, 1.5 times, 2.0 times, and 3.0 times, in 5 in pressure-up section drawing 2 , and it is used with the gestalt of this operation, switching it with the electrical signal by the electrical-potential-difference detecting element 12, this invention is not limited to these three sorts, at least one kind may carry out variety preparation again, and scale factors are also various idea **** again. moreover, as for the gestalt of this operation, electrical-potential-difference detection detects the electrical potential difference of a capacitor 4 -- **** (1.8, 1.2, 0.8, 0.6V) -- the method of detecting the electrical potential difference of a capacitor 6 and deciding a pressure-up condition as compared with the content of ***** (1.8V, 1.2V) 5 is also natural -- it is possible. This approach has the merit that there may be few detection electrical potential differences. Moreover, the generation-of-electrical-energy section 1 is good anything, if only a solar dc-battery is generated without **. Moreover, as 1 and 2 are set to one and they were described above, the effectiveness of this invention is not lost by the usual cell, either.

[0028] In addition, at drawing 1 , a clock stops among 0.3 V-OV and v'ss1 is also the oscillator circuit of a clock object. An oscillation is suspended. Since the clock signal for pressure up stops occurring when an oscillation stops, pressure-up actuation also stops. When the charge circuit is connected with the solar battery 1 in this condition, even if light irradiates a solar battery, only a charge circuit flows in, and since oscillating an oscillator circuit promptly does not operate in *****, consequently a booster circuit, a clock is needed [as for a current]. What is necessary is to sever connection of a solar battery and a charge circuit, and just to constitute so that a solar battery and an oscillator circuit may be linked directly when the oscillation of an oscillator circuit stops in order to solve such a problem.

[0029] A concrete example is explained using the example of drawing 10 .

[0030] In drawing 9 , 2 shows the clock circuit. The limiter circuit 2 of drawing 2 was removed for the simplification of explanation, and simplified the multistage booster circuit 5, the electrical-potential-difference detector 7, and the control circuit 8 as a booster circuit 119 and a logical circuit 118.

[0031] Power control is explained about drawing 4 below. A rechargeable battery 103 (capacitor) is first made into a low-battery condition (less than [0.3V]).

[0032] Supposing the oscillation signal 123 of an oscillator circuit 108 is oscillating, the quenching detector 117 will detect a halt, a control signal 113 will be set to L, and a transmission gate 114 will serve as [ON, a transmission gate 115, and 105] OFF.

[0033] For this reason, the power source 120 of an oscillator circuit 108 is turned on with the pressure-up power source 121 by the booster circuit 119, and OFF and the solar-battery side power source 122, and if light is given to a solar battery 1 here, the electrical potential difference which can be oscillated to an oscillator circuit 108, the quenching detector 117, and a logical circuit 118 will be supplied, and will carry out oscillation initiation of it. If oscillation initiation [from] is carried out, the pressure-up clock 124 required for pressure up will be generated, a booster circuit 119 starts the pressure up of a rechargeable battery 103, and high tension generates it to the pressure-up power source 121. On the other hand, since OFF and transmission gates 115 and 105 turn [a transmission gate 114] on the power-source gate by oscillation initiation, the clock circuit 102 will operate with the high tension to which the solar battery 101 charged the rechargeable battery 101, and the electrical power system of the clock circuit 102 carried out pressure up of the rechargeable battery 103. That is, as for a clock, a rechargeable battery will operate promptly also by the low battery.

[0034]

[Effect of the Invention] It is ***** to utilize electric energy very effectively, if according to this invention the loss of energy is made into the minimum and the electric target is put in another way in the electronic clock which has a power source with the big discharge property of fluctuation of an electrical potential difference, as stated above. It is possible for this to develop the persistence time by leaps and bounds using a capacitor to the power source of the clock with a solar dc-battery of changing-battery needlessness. Moreover, a cell like an alkaline manganese dioxide cell or a RICHIMUMU cell and an energy loss are utilizable few.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The effectiveness explanatory view by the discharge nature and this invention of a capacitor.

[Drawing 2] The block diagram of the gestalt of the 1 operation by this invention.

[Drawing 3] Drawing showing the conventional example.

[Drawing 4] Drawing showing the basic form of a multistage booster circuit.

[Drawing 5] (A) -(D): -- drawing showing the example of actuation of drawing 4 . In addition, in drawing 5 (B) - (D), (b) shows pressure-up actuation and (b) shows charge actuation.

[Drawing 6] Drawing showing the gestalt of operation as an electronic circuitry.

[Drawing 7] Drawing showing the example of an electrical-potential-difference detector.

[Drawing 8] Drawing showing the example of a control circuit.

[Drawing 9] The timing chart of a control circuit.

[Drawing 10] The block diagram showing the application of this invention.

[Description of Notations]

1 Solar Dc-battery

2 Limiter Circuit

4 Capacitor

5 Pressure-Up Means

9 Clock Object

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.